

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-213853

(43)Date of publication of application : 20.08.1996

(51)Int.Cl.

H03F 3/16

(21)Application number : 07-039422

(71)Applicant : JAPAN RADIO CO LTD

(22)Date of filing : 06.02.1995

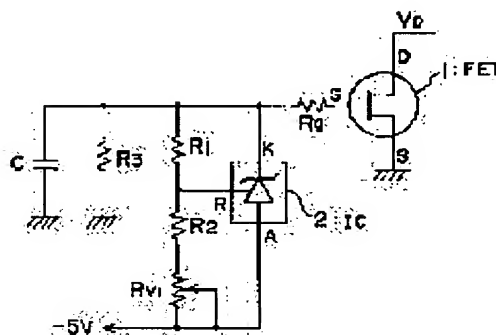
(72)Inventor : SAKAMOTO HIROTOKU
YAMADA AKIRA

(54) BIAS CIRCUIT

(57)Abstract:

PURPOSE: To protect a FET by applying the output voltage of a shunt regulator IC set by a voltage division circuit connected in parallel with the bias circuit to a gate of the FET so as to reduce the impedance of the bias circuit and power consumption.

CONSTITUTION: The bias circuit is formed by inserting a series resistor R3 to a circuit where a voltage division circuit comprising resistors and a shunt regulator IC 2 are connected in parallel between a negative power supply and GND. An IC whose reference voltage is nearly 2.5V and whose minimum input current is nearly 1mA is adopted for the IC 2, its output voltage is set by voltage division ratio between a resistor R1 and resistors R2 and RV1 and the output voltage is fed to a gate of a FET 1 as a gate bias voltage. Since the minimum input current of the IC 2 is nearly 1mA and the gate current of the FET 1 is usually less than 1mA, the current supplied to a breeder resistor R3 is suppressed to be nearly 3mA, and since the application of a voltage to the IC 2 is enough by the resistor R1 and the resistors R2 and RV1, the resistors with a sufficiently high resistance is used for the resistor R1 and the resistors R2 and RV1, then the power consumption of the bias circuit is low.



LEGAL STATUS

[Date of request for examination] 15.01.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3579485

[Date of registration] 23.07.2004

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-213853

(43) 公開日 平成8年(1996)8月20日

(51) Int.Cl.⁶

H03F 3/16

識別記号

Z

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数1 F D (全 3 頁)

(21) 出願番号

特願平7-39422

(22) 出願日

平成7年(1995)2月6日

(71) 出願人 000004330

日本無線株式会社

東京都三鷹市下連雀5丁目1番1号

(72) 発明者 坂本 広徳

東京都三鷹市下連雀5丁目1番1号 日本無線株式会社内

(72) 発明者 山田 明

東京都三鷹市下連雀5丁目1番1号 日本無線株式会社内

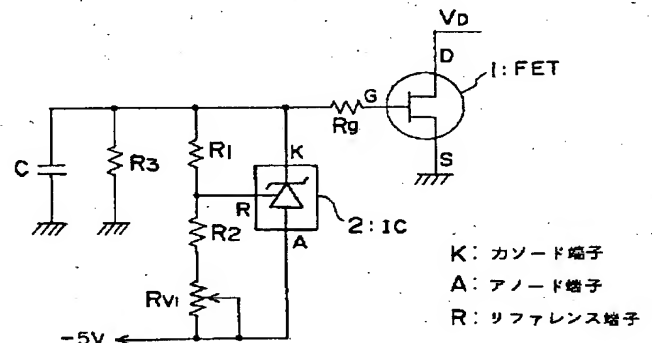
(74) 代理人 弁理士 高橋 友二 (外1名)

(54) 【発明の名称】 バイアス回路

(57) 【要約】 (修正有)

【目的】 増幅回路に使用するGaAsFETのゲートバイアス回路で、バイアス回路の低インピーダンス化、低消費電力化およびFETを保護する。

【構成】 基準電圧端子を有し、出力端子に出力される電圧がそのアノードとカソード間に接続されている抵抗により制御されるシャントレギュレータIC2と、このシャントレギュレータIC2と並列に接続されこのシャントレギュレータIC2の出力電圧を決定する電圧分割回路と、上記シャントレギュレータIC2の出力端子を上記FET1のゲートに接続し、上記ゲートと接地電位との間にブリーダ抵抗R3を接続する手段とを備える。



【特許請求の範囲】

【請求項1】 増幅回路に使用するGaAsFETにバイアス電圧を与えるバイアス回路において、基準電圧端子を有し出力端子に出力される電圧がそのアノードとカソード間に接続されている抵抗により制御されるシャントレギュレータ(shunt regulator)IC、このシャントレギュレータICと並列に接続されこのシャントレギュレータICの出力電圧を決定する電圧分割回路、
上記シャントレギュレータICの出力端子を上記FETのゲートに接続し、上記ゲートと接地電位との間にブリーダ抵抗を接続する手段、
を備えたことを特徴とするバイアス回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はバイアス回路、さらに詳しくは増幅回路に使用するGaAsFETのゲートバイアス回路に関する。

【0002】

【従来の技術】図2は、従来のこの種のバイアス回路の一例を示す回路図であり、1はGaAs電界効果トランジスタ(以下、FETと略記する)、 R_4 、 R_5 は固定抵抗、 R_{v2} は可変抵抗、Cはコンデンサである。負電源(-5V)とGNDとの間に接続した抵抗 R_4 、 R_{v2} 、 R_5 の分圧比を適当に設定してFETにゲートバイアス電圧を印加し、所要のドレイン電流を流すことによりFETを動作させている。

【0003】理想的なバイアス回路のインピーダンスは零であるから、図2に示すA点のインピーダンスは極力小さくする必要があり、このため抵抗 R_4 、 R_{v2} 、 R_5 の合成抵抗値(R_{v2} と R_5 の直列抵抗に抵抗 R_4 が並列接続された抵抗値)をゲート抵抗 R_g に比べて小さくする必要がある。然しながら抵抗 R_4 、 R_{v2} 、 R_5 に流せる電流には制約があるため、単純に抵抗値を小さくすることができず、従来の回路では例えば負電源を-5Vとした場合、直列合成抵抗値を300Ω程度とし、常時約17mA程度の無効電流を流すような設計となっている。

【0004】

【発明が解決しようとする課題】従来のバイアス回路は以上のように構成されており、負電源の低消費電力化のためには合成抵抗値を大きくする必要がある。然しながら合成抵抗値を大きくするとA点のインピーダンスが高くなり、FETのゲート電流が流れると、合成抵抗×ゲート電流による電圧が発生しゲート電圧が変動する。その結果FETのドレイン電流が増加し能率が悪くなるという問題点があった。

【0005】本発明はかかる問題点を解決するためになされたものであり、バイアス回路のインピーダンスを低く抑えながら消費電力の低減が図れるバイアス回路を提

供することを目的としている。

【0006】

【課題を解決するための手段】本発明に係わるバイアス回路は、基準電圧端子を有し、出力端子に出力される電圧がそのアノードとカソード間に接続されている抵抗により制御されるシャントレギュレータICと、このシャントレギュレータICと並列に接続されこのシャントレギュレータICの出力電圧を決定する電圧分割回路と、上記シャントレギュレータICの出力端子を上記FETのゲートに接続し、上記ゲートと接地電位との間にブリーダ抵抗を接続する手段とを備えたことを特徴とする。

【0007】

【実施例】以下、本発明の実施例を図面に基づき説明する。図1は本発明の一実施例を示す回路図であり、図において、1はFET、2はシャントレギュレータIC、 R_1 、 R_2 、 R_3 は固定抵抗、 R_{v1} は可変抵抗、Cはコンデンサである。図1に示すようにこの実施例のバイアス回路は、負電源とGNDとの間に、抵抗による電圧分割回路とシャントレギュレータIC2とが並列に接続された回路に直列抵抗 R_3 を挿入した構成としている。そしてIC2には、例えば基準電圧が約2.5V、最小入力電流1mA程度のものを使用し、抵抗 R_1 と抵抗 R_2 、 R_{v1} との分圧比により出力電圧が設定され、この出力電圧がゲートバイアス電圧としてFET1のゲートに入力されるように構成されている。

【0008】上述のようにIC2の最小入力電流は約1mA程度であり、通常FET1のゲート電流は1mA未満であるため、ブリーダ(bleeder)抵抗 R_3 に流す電流は3mA程度に抑えることができ、また抵抗 R_1 、 R_2 、 R_{v1} 側は、IC2への設定電圧を供給すれば足りるので十分に高い抵抗値の抵抗を使用することができるため、低消費電力の回路とできる。また、IC2自体の内部インピーダンスは、一例として最大でも0.5Ωであるため(例えば、新日本無線製NJM431 可変シャントレギュレータ)、FETのゲート端子から見たバイアス回路のインピーダンスが非常に低くなり、ほぼゲート端子の抵抗 R_g で決定されるような小さな値とすることができ、また、電圧設定値に拘らず非常に低く保たれる。従ってゲート電流が流れてもFETのゲート電圧は常に一定に保たれ、従来の回路のようにドレイン電流が増加して能率が悪くなることはない。

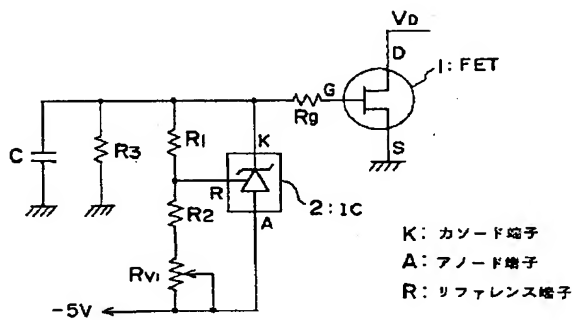
【0009】また、バイアス回路のインピーダンスが低く保たれるのでFETの低域周波数での発振を防止できる他、多数波の入力信号同士が干渉してそれらの周波数差で低周波ビートが発生する場合や入力信号に低周波の振幅変調がかかっている場合等でも、それらの影響を受けにくいという効果が期待できる。すなわちこの種の回路は、高周波インピーダンスを下げる目的でバイパスコンデンサCが挿入されているが、従来の回路では上述のように直流インピーダンスが高いために低周波領域での

インピーダンスが完全に下がらず、入力信号中の振幅変動成分の周期等によってバイアス電圧が変動する等の問題があったが、本実施例のバイアス回路では直流域から高周波域まで低インピーダンスの回路とできるため、このような事態が避けられる。

【0010】また、本実施例の回路は、FETの保護になるという副次的な効果もある。すなわち通常FETは過出力になると、ゲート電流としてバイアス回路側に電流を吐き出すが、シャントレギュレータICは、FETの吐き出し電流と最小入力電流と電圧設定抵抗に流れる電流の和がブリーダ電流を超えると、負の出力電圧の絶対値が大きくなるため、FETのゲート電圧が負電圧の方向に大きくなり、ドレイン電流を絞る方向に働く。従って何らかの理由でFETが過出力になった場合でもFETの破壊を未然に防ぐことができる。

【0011】なお上述の実施例では、負電源を-5V、シャントレギュレータICの基準電圧を2.5Vとして説明しているが、これらの電圧値は適当に選択できるこ

【図1】



とは言うまでもない。

【0012】

【発明の効果】以上説明したように本発明のバイアス回路は、並列に接続された電圧分割回路で設定されるシャントレギュレータICの出力電圧によりゲート電圧を印加することとしたので、バイアス回路の低インピーダンス化による安定動作と負電源の低消費電力動作が可能な回路とでき、過出力時のFETの破壊を防止できる等の効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を示す回路図である。

【図2】従来のこの種のバイアス回路を示す図である。

【符号の説明】

- 1 FET
- 2 シャントレギュレータIC
- R1, R2, R3, R4, R5 固定抵抗
- Rv1, Rv2 可変抵抗
- C コンデンサ

【図2】

